

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-022400
(43)Date of publication of application : 23.01.1996

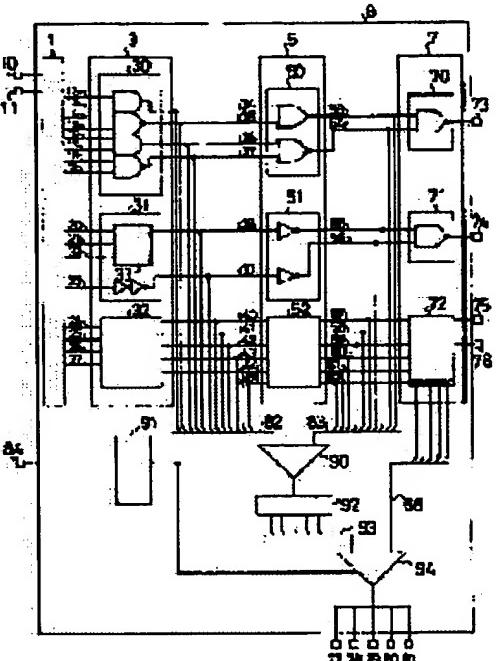
(51)Int.CI. G06F 11/22
G06F 15/78

(21)Application number : 06-155839 (71)Applicant : MATSUSHITA ELECTRIC IND CO LTD
(22)Date of filing : 07.07.1994 (72)Inventor : TANIGUCHI MIHO
TANAKA KENJI

(54) CIRCUIT FOR FACILITATING TEST OF MICROCOMPUTER

(57)Abstract:

PURPOSE: To observe a fault which occurs in a logic circuit from an external output terminal even when the number of the external output terminals of a microcomputer are limited.
CONSTITUTION: A test pattern verifying the operation of the microcomputer 8 is inputted from first and second external input terminals 10 and 11 to a first logic circuit block 1. A first internal bus 82 consisting of signal lines 34-45 from the second logic circuit block 3 and the third internal bus 83 consisting of the signal lines 53-62 are inputted to a first selecting equipment 90 and the first selecting equipment 90 outputs the first internal bus 82 or the third internal bus 83. An encoder 92 encodes a signal outputted from the signal line which constitutes the internal bus outputted from the first selecting equipment 90 and outputs it to the forth internal bus 93. The second selecting equipment 94 outputs the forth internal bus 93 from the encoder 92 or the second internal bus 68 consisting of the signal lines 63-67 from the forth logic circuit block 7 to the external output terminals 77-81.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-22400

(43)公開日 平成8年(1996)1月23日

(51)Int.Cl.⁶

G 0 6 F 11/22
15/78

識別記号 庁内整理番号

3 4 0 Z
5 1 0 K

F I

技術表示箇所

審査請求 未請求 請求項の数2 OL (全9頁)

(21)出願番号 特願平6-155839

(22)出願日 平成6年(1994)7月7日

(71)出願人 000005821

松下電器産業株式会社
大阪府門真市大字門真1006番地

(72)発明者 谷口 美保

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 田中 健志

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

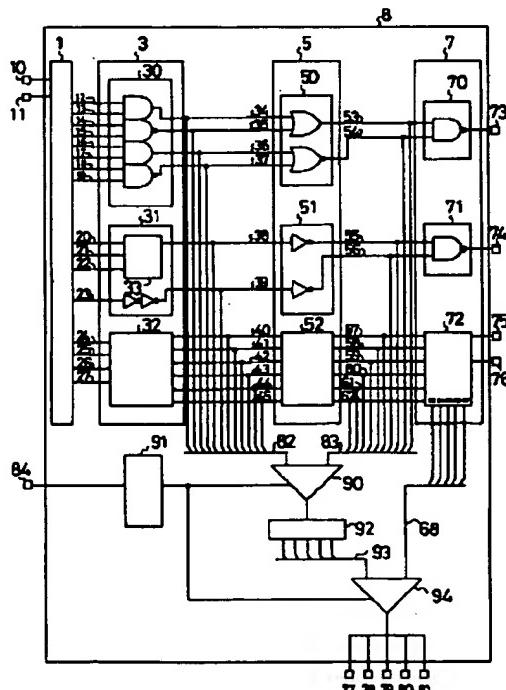
(74)代理人 弁理士 前田 弘 (外2名)

(54)【発明の名称】マイクロコンピュータのテスト容易化回路

(57)【要約】

【目的】マイクロコンピュータの外部出力端子の数が制限されていても、論理回路に生成される故障を外部出力端子から観測できるようにする。

【構成】マイクロコンピュータ8の動作を検証するテストパターンは第1及び第2の外部入力端子10, 11から第1の論理回路ブロック1に入力される。第2の論理回路ブロック3からの信号線34~45よりなる第1の内部バス82及び第3の論理回路ブロックからの信号線53~62よりなる第3の内部バス83は第1の選択器90に入力され、第1の選択器90は第1の内部バス82又は第3の内部バス83を出力する。符号器92は第1の選択器90から出力される内部バスを構成する信号線から出力される信号をエンコードして第4の内部バス93に出力する。第2の選択器94は符号器92からの第4の内部バス93又は第4の論理回路ブロック7からの信号線63~67よりなる第2の内部バス68を外部出力端子77~81に出力する。



【特許請求の範囲】

【請求項1】 組合せ回路や順序回路等の複数の論理回路よりなる複数個の論理回路ブロックが直列に接続されてなるマイクロコンピュータの外部入力端子から動作検証用のテストパターンを入力し、前記マイクロコンピュータの外部出力端子から出力される信号値を故障生成時と正常時とで比較することにより前記複数の論理回路に生成される故障を観測するためのマイクロコンピュータのテスト容易化回路であって、一の論理回路ブロックを構成する複数の論理回路から出力される各出力信号が入力され、該各出力信号に対応する組み合わせ信号を前記外部出力端子に出力する符号器を備えていることを特徴とするマイクロコンピュータのテスト容易化回路。

【請求項2】 組合せ回路や順序回路等の複数の論理回路よりなる複数個の論理回路ブロックが直列に接続されてなるマイクロコンピュータの外部入力端子から動作検証用のテストパターンを入力し、前記マイクロコンピュータの外部出力端子から出力される信号値を故障生成時と正常時とで比較することにより前記複数の論理回路に生成される故障を観測するためのマイクロコンピュータのテスト容易化回路であって、一の論理ブロックを構成する複数の論理回路から出力される各出力信号よりなる一の出力信号群と他の論理ブロックを構成する複数の論理回路から出力される各出力信号よりなる他の出力信号群とが入力され、前記一の出力信号群及び他の出力信号群のうちのいずれか一方の出力信号群を出力する選択器と、

前記選択器から出力される出力信号群を構成する各出力信号が入力され、該各出力信号に対応する組み合わせ信号を前記外部出力端子に出力する符号器とを備えていることを特徴とするマイクロコンピュータのテスト容易化回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、マイクロコンピュータのテスト化容易回路に関し、詳しくは、組合せ回路や順序回路等の複数の論理回路よりなる複数個の論理回路ブロックが直列に接続されてなるマイクロコンピュータの外部入力端子から動作検証用のテストパターンを入力し、マイクロコンピュータの外部出力端子から出力される信号値を故障生成時と正常時とで比較することにより、前記複数の論理回路に生成される故障を観測するためのマイクロコンピュータのテスト容易化回路に関する。

【0002】

【従来の技術】 以下、従来のマイクロコンピュータのテスト容易化回路について図面を参照しながら説明する。

【0003】 図2は従来のテスト容易化回路の平面図である。図2において1, 3, 5, 7はマイクロコンピュータ8を構成する第1, 第2, 第3, 第4の論理回路ブ

ロックであって、第1～第4の論理回路ブロック1, 3, 5, 7は、それぞれ組合せ回路や順序回路等の複数の論理回路よりなる。

【0004】 図2において、30, 31, 32は第2の論理回路ブロック3を構成する第1, 第2, 第3の論理回路であって、第1～第3の論理回路30～32はそれぞれ複数個の論理回路から構成されている。また、33は第2の論理回路31を構成する部分回路であって、該部分回路33も複数個の論理回路から構成されている。

10 また、50, 51, 52は第3の論理回路ブロック5を構成する第1, 第2, 第3の論理回路であって、第1～第3の論理回路50～52もそれぞれ複数個の論理回路から構成されている。また、70, 71, 72は第4の論理回路ブロック7を構成する第1, 第2, 第3の論理回路であって、第1, 第2, 第3の論理回路70～72もそれぞれ複数個の論理回路から構成されている。

【0005】 図2において、10, 11はマイクロコンピュータ8の動作検証用のテストパターンを入力する第1, 第2の外部入力端子、12, 13, 14, 15, 1

20 6, 17, 18, 19は第1の論理回路ブロック1の出力信号を第2の論理回路ブロック3の第1の論理回路30に伝達する信号線、20, 21, 22, 23は第1の論理回路ブロック1の出力信号を第2の論理回路ブロック3の第2の論理回路31に伝達する信号線、24, 25, 26, 27は第1の論理回路ブロック1の出力信号を第2の論理回路ブロック3の第3の論理回路32に伝達する信号線である。

【0006】 図2において、34, 35, 36, 37は第2の論理回路ブロック3の第1の論理回路30からの出力信号を第3の論理回路ブロック5の第1の論理回路50に伝達する信号線、38, 39は第2の論理回路ブロック3の第2の論理回路31からの出力信号を第3の論理回路ブロック5の第2の論理回路51に伝達する信号線、40, 41, 42, 43, 44, 45は第2の論理回路ブロック3の第3の論理回路32からの出力信号を第3の論理回路ブロック5の第3の論理回路52に伝達する信号線である。

【0007】 図2において、53, 54は第3の論理回路ブロック5の第1の論理回路50からの出力信号を第4の論理回路ブロック7の第1の論理回路70に伝達する信号線、55, 56は第3の論理回路ブロック5の第2の論理回路51からの出力信号を第4の論理回路ブロック7の第2の論理回路71に伝達する信号線、57, 58, 59, 60, 61, 62は第3の論理回路ブロック5の第3の論理回路52からの出力信号を第4の論理回路ブロック7の第3の論理回路72に伝達する信号線である。第2の論理回路ブロック3の第1の論理回路30からの信号線34, 35, 第2の論理回路ブロック3の第3の論理回路32からの信号線40, 第3の論理回路ブロック5の第1の論理回路50からの信号線53及

び第3の論理回路ブロック5の第3の論理回路52からの信号線57によって第1の内部バス46が構成されている。

【0008】図2において、63, 64, 65, 66, 67は、マイクロコンピュータ8の周辺機能である通信機能ブロック(以下、シリアルと称する。)やタイマーブロック等からのデータやクロックを出力する第4の論理回路ブロック7の第3の論理回路72からの信号線であって、該信号線63～67は第2の内部バス68を構成している。また、84は第3の外部入力端子、85は選択器であって、選択器85は第1の内部バス46及び第2の内部バス68のうちのいずれか一方の内部バスを選択して出力する。また、77, 78, 79, 80, 81はそれぞれ外部出力端子であって、該外部出力端子77～81は選択器85が選択した第1の内部バス46又は第2の内部バス68の信号値を出力する。

【0009】図2において、73は第4の論理回路ブロック7の第1の論理回路70の出力信号を観測する外部出力端子、74は第4の論理回路ブロック7の第2の論理回路71の出力信号を観測する外部出力端子、75, 76は第4の論理回路ブロック7の第3の論理回路72の出力信号を観測する外部出力端子である。

【0010】以下、前記のように構成されたマイクロコンピュータのテスト容易化回路の動作について説明する。

【0011】まず、マイクロコンピュータ8の動作検証用のテストパターンを第1及び第2の外部入力端子10, 11から入力する。第1の論理回路ブロック1は、第1及び第2の外部入力端子10, 11からの入力信号によって論理演算を行ない、その演算結果を信号線12～27に出力する。第2の論理回路ブロック3の第1の論理回路30は、第1の論理回路ブロック1の信号線12～19から出力される論理値を用いて論理演算を行ない、その演算結果を信号線34～37に出力する。第2の論理回路ブロック3の第2の論理回路31は、第1の論理回路ブロック1の信号線20～23から出力される論理値を用いて論理演算を行ない、その演算結果を信号線38, 39に出力する。第2の論理回路ブロック3の論理回路32は、第1の論理回路ブロック1の信号線2

4～27から出力される論理値を用いて論理演算を行ない、その演算結果を信号線40～45に出力する。

【0012】第3の論理回路ブロック5の第1の論理回路50は、第2の論理回路ブロック3の信号線34～37から出力される論理値を用いて論理演算を行ない、その演算結果を信号線53, 54に出力する。第3の論理回路ブロック5の第2の論理回路51は、第2の論理回路ブロック3の信号線38, 39から出力される論理値を用いて論理演算を行ない、その演算結果を信号線55, 56に出力する。第3の論理回路ブロック5の第3の論理回路52は第2の論理回路ブロック3の信号線40～45から出力される論理値を用いて論理演算を行ない、その演算結果を信号線57～62に出力する。

【0013】第4の論理回路ブロック7の第1の論理回路70は、第3の論理回路ブロック5の信号線53, 54から出力される論理値を用いて論理演算を行ない、その演算結果を外部出力端子73に出力する。第4の論理回路ブロック7の第2の論理回路71は、第3の論理回路ブロック5の信号線55, 56から出力される論理値を用いて論理演算を行ない、その演算結果を外部出力端子74に出力する。第4の論理回路ブロック7の第3の論理回路72は、第3の論理回路ブロック5の信号線57～62から出力される論理値を用いて論理演算を行ない、その演算結果を外部出力端子75, 76に出力する。

【0014】選択器85は、第3の外部入力端子84から入力される制御信号によって第2の内部バス68を選択したときには、マイクロコンピュータ8の周辺機能ブロックであるシリアルやタイマー等のデータやクロックの論理値を外部出力端子77～81に出力する。このとき、外部出力端子77～81は汎用ポートとして働く。また、選択器85は、第3の外部入力端子84から入力される制御信号によって第1の内部バス46を選択したときには、該第1の内部バス46の論理値を外部出力端子77～81に出力する。このとき、外部出力端子77～81は論理回路の出力信号を直接外部から観測可能とするテスト用端子として働く。

【0015】

【表1】

		テストパターン											
		A	B	C	D	E	F	G	H	I	J	K	L
信 号 線 名	12	1	1	1	1	1	1	0	0	1	0	0	0
	13	1	1	1	0	0	0	1	1	1	1	0	1
	14	1	1	1	1	0	0	1	1	1	0	0	0
	15	1	1	1	1	1	1	0	1	1	0	0	1
	16	1	1	1	1	1	1	0	1	0	0	1	0
	17	1	0	0	0	0	0	1	0	1	1	0	0
	18	1	1	1	1	1	0	1	1	0	1	0	1
	19	1	1	0	1	1	1	1	1	0	0	1	1
	34	1	1	1	0	0	0	0	0	0	0	0	0
20	35	0	0	0	0	1	1	1	0	1	1	1	1
	36	1	0	0	0	0	0	0	0	0	0	0	0
	37	0	0	1	0	0	1	0	0	1	1	1	0
	53	1	1	1	0	1	1	1	0	1	1	1	1
	54	0	1	0	1	1	0	1	1	0	0	0	1

【0016】表1は、第2の論理回路ブロック3の第1の論理回路30、第3の論理回路ブロック5の第1の論理回路50及び第4の論理回路ブロック7の第1の論理回路70の入出力信号線上に生成された故障を検出するテストパターンを示したものであって、第1及び第2の外部入力端子10, 11から入力されたテストパターンと、該テストパターンを第1の論理回路ブロック1が論理演算を行なって第2の論理回路ブロック3の第1の論理回路30に出力する信号線12～19のパターンと、該パターンによって第2の論理回路ブロック3の第1の論理回路30が論理演算を行なって信号線34～37に出力する論理値と、第3の論理回路ブロック5の第1の論理回路50が信号線53, 54に出力する論理値とを示している。ここでいう故障とは、各論理回路を構成するトランジスタの破壊により、入力信号の如何に拘らず、出力信号が常にVdd(論理値の1に相当)又はVss(論理値の0に相当)に固定されてしまい、正しい論理値と異なる論理値を出力してしまう場合のことを言う。

【0017】前記の故障が生成されると、マイクロコンピュータ8に第1及び第2の外部入力端子10, 11からテストパターンを入力した場合、マイクロコンピュータ8の出力値が正常時の出力期待値と異なる場合がある。従って、前記の故障が含まれている不良品と含まれていない良品とを選別する必要がある。表1は、第1及び第2の外部入力端子10, 11から出力される信号値を故障生成時と正常時との間で比較することにより、論理回路に生成された故障を検出していく故障シミュレーション用のテストパターンを示している。第2の論理回路ブロック3の第1の論理回路30に表1のA列～L列の12通りのパターンを入力することによって、第2の論理回路ブロック3の第1の論理回路30の入出力信号線、第3の論理回路ブロック5の第1の論理回路50の入出力信号線、及び第4の論理回路ブロック7の第1の

論理回路70の入出力信号線に生成された故障を検出することができる。

【0018】しかしながら、実デバイスを検証するテストパターンは、一般的には試行錯誤的に作成されるため、冗長なパターンを含むことが多い。

【0019】そこで、従来においては、第2の論理回路ブロック3の第1の論理回路30の出力信号線34, 35を外部出力端子77, 78から観測できると共に第3の論理回路ブロック5の第1の論理回路50の出力信号線53を外部出力端子79から観測できるように選択器85を設け、外部出力端子77, 78, 79をテスト端子として使用することを可能にしている。これにより、外部出力端子77, 78, 79の直前までの回路においてテストパターンを検討すればよくなり、見かけ上、回路規模が小さい状態でテストパターンの作成が可能となる。この結果、テストパターンの作成が容易になるので、冗長なテストパターンが低減する。このため、第2の論理回路ブロック3の第1の論理回路30に入力する信号線12～19のパターンを、表1におけるA列～H列までの8通りのパターンによって代替しても、前記の故障を検出することができる。

【0020】

【発明が解決しようとする課題】ところが、実際のマイクロコンピュータは大きなものでは100万個以上のトランジスタによって構成されている。このため、従来のテスト容易化回路によると、論理回路の故障検出を可能にする外部出力端子を回路規模の増大に対応して増やすことは、外部出力端子の総数が制約されているため困難である。つまり、実際のマイクロコンピュータにおいては、前記のような回路規模が小さい状態でテストパターンを作成できる場合は非常に限られている。

【0021】従来のテスト容易化回路においては、マイクロコンピュータの動作検証を、動作検証を目的とするテストパターンを外部入力端子から入力し、マイクロコ

ンピュータの制御の結果を外部出力端子から観測することにより行なってきた。

【0022】従って、従来のテスト容易化回路においては、マイクロコンピュータの高機能化が進み、回路規模が大きくなるにつれて、動作検証を行なうテストパターンが長くなると共に、各機能を確認するためにテストパターンの数自体も増加するという問題がある。

【0023】また、マイクロコンピュータの論理回路の故障を検出する故障シミュレーションは、機能確認のテストパターンを基に作成することが多いので、複雑なマイクロコンピュータを構成する論理回路の故障を検出するテストパターンを作成することは困難である。

【0024】さらに、テストパターンの簡素化とテストパターン数の削減のために、マイクロコンピュータを構成する論理回路の出力信号を外部出力端子から出力することがあるが、マイクロコンピュータの外部出力端子の総数が制約されているため、外部に出力できる論理回路の出力信号数が制限されてしまうので、前記の方法を採る場合には、十分な動作検証を行なうことができないという問題が生じる。

【0025】本発明は、前記従来の問題を解決するものであって、マイクロコンピュータの外部出力端子の数が制限されていても、論理回路に生成される故障を外部出力端子から観測することができるようすることを目的とする。

【0026】

【課題を解決するための手段】前記の目的を達成するために、請求項1の発明は、組合せ回路や順序回路等の複数の論理回路よりなる複数個の論理回路ブロックが直列に接続されてなるマイクロコンピュータの外部入力端子から動作検証用のテストパターンを入力し、前記マイクロコンピュータの外部出力端子から出力される信号値を故障生成時と正常時とで比較することにより前記複数の論理回路に生成される故障を観測するためのマイクロコンピュータのテスト容易化回路を対象とし、一の論理回路ブロックを構成する複数の論理回路から出力される各出力信号が入力され、該各出力信号に対応する組み合わせ信号を出力する符号器を備えている構成である。

【0027】また、請求項2の発明は、組合せ回路や順序回路等の複数の論理回路よりなる複数個の論理回路ブロックが直列に接続されてなるマイクロコンピュータの外部入力端子から動作検証用のテストパターンを入力し、前記マイクロコンピュータの外部出力端子から出力される信号値を故障生成時と正常時とで比較することにより前記複数の論理回路に生成される故障を観測するためのマイクロコンピュータのテスト容易化回路を対象とし、一の論理ブロックを構成する複数の論理回路から出力される各出力信号よりなる一の出力信号群と他の論理ブロックを構成する複数の論理回路から出力される各出力信号よりなる他の出力信号群とが入力され前記一の出

力信号群及び他の出力信号群のうちのいずれか一方の出力信号群を出力する選択器と、前記選択器から出力される出力信号群を構成する各出力信号が入力され該各出力信号に対応する組み合わせ信号を出力する符号器とを備えている構成である。

【0028】

【作用】請求項1の構成により、一の論理回路ブロックを構成する複数の論理回路から出力される各出力信号が入力され、該各出力信号に対応する組み合わせ信号を外部出力端子に出力する符号器を備えているため、複数の論理回路から出力される各出力信号はエンコードされて組み合わせ信号となって外部出力端子に出力されるので、つまり符号器に入力される信号数よりも符号器から出力される信号数の方が少ないので、外部出力端子に出力される信号の数は低減する。これにより、外部に出力されない論理回路の出力信号数は低減する。

【0029】請求項2の構成により、一の論理ブロックを構成する複数の論理回路から出力される各出力信号よりなる一の出力信号群及び他の論理ブロックを構成する複数の論理回路から出力される各出力信号よりなる他の出力信号群のうちのいずれか一方の出力信号群を出力する選択器と、該選択器から出力される出力信号群を構成する各出力信号が入力されると、該各出力信号に対応する組み合わせ信号を外部出力端子に出力する符号器とを備えているため、選択器からは一又は他の出力信号群を構成する各出力信号が選択的に出力され、各出力信号は符号器によりエンコードされて組み合わせ信号となって外部出力端子に出力されるので、一及び他の論理ブロックを構成する論理回路から出力される出力信号は選択器及び符号器によって2段階に低減される。これにより、外部に出力されない論理回路の出力信号数は著しく低減する。

【0030】

【実施例】以下、本発明の一実施例について図面を参照しながら説明する。

【0031】図1は本発明の一実施例に係るテスト容易化回路の平面図である。図1における、第1～第4の論理回路ブロック1, 3, 5, 7、マイクロコンピュータ8、第1及び第2の外部入力端子10, 11、信号線12～27、第2の論理回路ブロック3の第1～第3の論理回路30～32、第3の論理回路32の部分回路33、信号線34～45、第3の論理回路ブロック5の第1～第3の論理回路50～52、信号線53～62、第2の内部バス68、第4の論理回路ブロック7の第1～第3の論理回路70～72、外部出力端子73～76、第3の外部入力端子84及び外部出力端子77～81については、図2に示した従来例と同様の構成であるため、同一の符号を付すことにより説明を省略する。

【0032】図1において、82は複数の信号線34～45よりなる第2の論理回路ブロック3からの第1の内

9

部バス、83は複数の信号線53～62よりなる第3の論理回路ブロック5からの第3の内部バスである。また、90は選択器としての第1の選択器であって、該第1の選択器90は第1の内部バス82及び第3の内部バス83のいずれか一方を選択して出力する。また、91は第1の選択器90を制御する選択制御器である。

【0033】図1において、92は符号器であって、該符号器92は第1の選択器90が選択した第1の内部バス82又は第3の内部バス83を構成する信号線の出力信号をエンコードして該出力信号と対応する組み合わせ信号を出力する。また、93は符号器92によりエンコードされた第4の内部バスである。

【0034】図1において、94は第2の選択器であって、該第2の選択器94は第4の内部バス93及び第2の内部バス68のうちのいずれか一方を選択して出力する。第2の選択器94も選択制御器91によって制御される。

【0035】以下、前記のように構成された本実施例に係るテスト容易化回路の動作を、第1及び第2の外部入力端子10、11、第1の論理回路ブロック1、第1の論理回路ブロック1からの信号線12～19、第2の論理回路ブロック3の第1の論理回路30、第2の論理回路ブロック3の第1の論理回路30からの信号線34～37、第3の論理回路ブロック5の第1の論理回路50、第3の論理回路ブロック5の第1の論理回路50からの信号線53、54、第4の論理回路ブロック7の第1の論理回路70及び第4の論理回路ブロック7の第1の論理回路70からの信号を出力する外部出力端子73を用いて説明する。

【0036】まず、マイクロコンピュータ8の動作を検証するテストパターンを第1及び第2の外部入力端子10、11から入力する。第1の論理回路ブロック1は、第1及び第2の外部入力端子10、11からの入力信号によって論理演算を行ない、その演算結果を信号線12～19に出力する。第1の論理回路ブロック1の信号線12～19から出力される論理値は第2の論理回路ブロック3の第1の論理回路30に入力される。第2の論理回路ブロック3の第1の論理回路30は、信号線12～19の論理値を用いて論理演算を行ない、その演算結果を信号線34～37に出力する。第2の論理回路ブロック3の第1の論理回路30からの信号線34～37は2つに分岐し、一方は第3の論理回路ブロック5の第1の論理回路50に入力され、他方は第1の内部バス82を構成する12本の信号線のうちの4本として第1の選択器90に入力される。

【0037】同様に、第3の論理回路ブロック5の第1の論理回路50は、第1の論理回路ブロック3の第1の論理回路30からの信号線34～37から出力される論理値を用いて論理演算を行ない、その演算結果を信号線53、54に出力する。第3の論理回路ブロック5の第

10

1の論理回路50からの信号線53、54は2つに分岐し、一方は第4の論理回路7の第1の論理回路70に入力され、他方は第3の内部バス83を構成する10本の信号線のうちの2本として第1の選択器90に入力される。

【0038】第4の論理回路ブロック7の第1の論理回路70は、第3の論理回路ブロック5の論理回路50からの信号線53、54の論理値を用いて論理演算を行ない、その演算結果を外部出力端子73に出力する。

【0039】選択制御器91は、第3の外部入力端子84から入力される信号値を用いて、第1の内部バス82及び第3の内部バス83のうちのいずれか一方を選択する制御信号を生成して出力し、第1の選択器90は、選択制御器91が出力する制御信号によって第1の内部バス82又は第3の内部バス83を選択し、選択した方の内部バスを符号器92に入力する。ここで、第1の選択器90を用いることにより、第2の論理回路ブロック3の第1の論理回路30から出力される信号線34～37と第3の論理回路ブロック5の第1の論理回路50から出力される信号線53、54との6ビット信号を4ビット信号に、つまり信号数を2/3に圧縮することが可能になる。

【0040】符号器92は、第1の選択器90が選択した方の内部バスをエンコードし、エンコードした信号を第4の内部バス93に出力する。このとき、符号器92は信号幅を圧縮することができる。マイクロコンピュータ8の動作検証を行なうテストパターンは、表1よりA列～L列の12パターンであるが、第2の論理回路ブロック3の第1の論理回路30から出力される信号線34～37の値としては、重複するものがあるため表2に示すA行～F行の6パターンとなる。同様に、第3の論理回路ブロック5の第1の論理回路50から出力される信号線53、54の値としては、重複するものがあるため表2に示すA～Cの3パターンである。このように、第1の選択器90から出力される4ビットの信号は、表2に示すように、3ビットの信号線で表すことができ、信号線幅の圧縮が可能となる。

【0041】

【表2】

40

11

	信号線名				符号器による 変換値
	84	85	86	87	
信 号 バ ル タ ー	A	0	0	0	0
	B	0	1	0	0
	C	0	1	0	1
	D	1	0	0	0
	E	1	0	0	1
	F	1	0	1	0
設定外のパターン				1	1
タ ー	信号線名		符号器による 変換値		
	53	54			
シ ン	0	1	0	0	0
	1	0	0	0	1
	1	1	0	1	0
設定外のパターン				1	1

【0042】尚、第1の選択器90から出力される信号が表2に示されるパターン以外のものである場合には、符号器92からエラー信号（本実施例においては、表2において設定外のパターンの項に示すように、全ビットがVddになる。）が出力される。

【0043】第2の選択器94は、第3の外部入力端子84から入力される制御信号に従って、符号器92によりエンコードされた第4の内部バス93及び第2の内部バス68のうちのいずれか一方を選択し、選択した内部バスの信号値を外部出力端子77～81に出力する。第2の選択器94が、第4の内部バス93を選択し、その信号値を外部出力端子77～81に出力するときには、外部入力端子77～81はテスト端子として働き、第2の選択器94が、第2の内部バス68を選択し、その信号値を外部出力端子77～81に出力するときには、外部入力端子77～81は汎用ポートとして働く。

【0044】以上のように本実施例によると、第1の選択器90及び符号器92を用いることにより、信号線幅を2段階に減少させることができる。今後、回路の高機能化が進み、回路規模が増大すると、前記の第1の選択器90及び符号器92の機能はさらに期待できる。すなわち、回路が大規模化すると、論理回路の出力信号数もそれに比較して増加するが、外部に出力するための外部出力端子の数には制限があるため、外部に出力できない論理回路の出力信号が増え、動作検証に効果が現れにくくなる。ところが、本実施例を用いると、前述したように、論理回路の出力信号を第1の選択器90及び符号器92を用いて2段階に圧縮することができるので、複数の論理回路の出力信号を外部出力端子から観測することができる。

【0045】言い換えると、外部出力端子の数をそのままにしておいた状態で、論理回路のテスト用端子を増加させたことに値する。そして、前述したように、第2の論理回路ブロック3の第1の論理回路30及び第3の論理回路ブロック5の第1の論理回路50からの出力信号

を外部出力端子77～81から観測することによって、第2の論理回路ブロック3の第1の論理回路30及び第3の論理回路ブロック5の第1の論理回路50に発生する故障を比較的簡単なテストパターンを用いて検出することが可能となる。また、テストパターンの数も削減でき、表3に示すようにA列～E列の5パターンで故障ミュレーションを実施できる。これにより、テスト時間の短縮も可能にする。

12 【0046】

10 【表3】

	テストパターン				
	A	B	C	D	E
信 号 線 名	1	2	1	1	0
	1	3	1	0	1
	1	4	1	1	0
	1	5	1	0	1
	1	6	1	1	0
	1	7	1	0	1
30	1	8	1	1	0
	1	9	1	0	1
	3	4	1	0	0
	3	5	0	1	1
	3	6	1	0	0
	3	7	0	1	0
40	5	3	1	1	0
	5	4	0	0	1

【0047】また、マイクロコンピュータ8内に、非常に複雑で且つ外部からの制御が困難であるため論理回路に検出の難しい故障が生成されたとする。例えば、第3の論理回路ブロック5の第2の論理回路51の信号線55からの出力値が常に0に固定されているため、第4の論理回路ブロック7の第2の部分回路71の出力信号が常に1となり、第1及び第2の入力端子10, 11から入力されるテストパターンに関係なく、出力端子74から1が出力されるような場合である。この場合には、従来のテスト容易化回路によると、第2の論理回路ブロック3の第2の論理回路31の信号線39及び第3の論理回路ブロック5の第2の論理回路51の信号線56に生成される故障を検出することは不可能である。

【0048】しかしながら、本実施例によると、第2の論理回路ブロック3の第2の論理回路31の信号線39及び第3の論理回路ブロック5の第2の論理回路51の信号線56から出力される信号を外部出力端子から観測することにより、第2の論理回路ブロック3の第2の論理回路31の信号線39及び第3の論理回路ブロック5の第2の論理回路51の信号線56に生成される故障を検出することが可能になり、故障検出率を向上させることができる。

【0049】このように、本実施例によると、従来のテスト容易化回路では検出が不可能であったような故障の

13

検出を可能にすることができるので、本実施例は、従来のテスト容易化回路では検出の不可能であるような論理回路が多数存在する場合に特に効果が大きい。

【0050】

【発明の効果】請求項1の発明に係るマイクロコンピュータのテスト容易化回路によると、複数の論理回路から出力される各出力信号はエンコードされて組み合わせ信号となって外部出力端子に出力されるため、外部出力端子に出力される信号の数は低減するので、外部に出力されない論理回路の出力信号数は低減する。このため、マイクロコンピュータの外部出力端子の数が制限されても、一の論理回路ブロックを構成する論理回路から出力される出力信号の数の低減を抑制できるので、一の論理回路ブロックを構成する論理回路に生成される故障を外部出力端子から確実に観測することが可能になる。

【0051】請求項2の発明に係るマイクロコンピュータのテスト容易化回路によると、選択器から一又は他の出力信号群を構成する各出力信号が選択的に出力され、選択器から出力された各出力信号は符号器によりエンコードされて組み合わせ信号となって外部出力端子に出力されるため、一及び他の論理ブロックを構成する論理回路から出力される出力信号は選択器及び符号器によって2段階に低減されるので、マイクロコンピュータの外部出力端子の数が制限されても、一及び他の論理回路ブロックを構成する論理回路から出力される出力信号の数の低減を一層抑制でき、これにより、一又は他の論理回路ブロックを構成する論理回路に生成される故障を外部出力端子から一層確実に観測することが可能になる。

【0052】このため、請求項1又は2の発明による短いテストパターンにより論理回路ブロックを構成する論理回路に生成される故障を確実に検出できるので、前記論理回路の動作検証に大きな効果をもたらす。

【図面の簡単な説明】

【図1】本発明の一実施例に係るマイクロコンピュータ

14

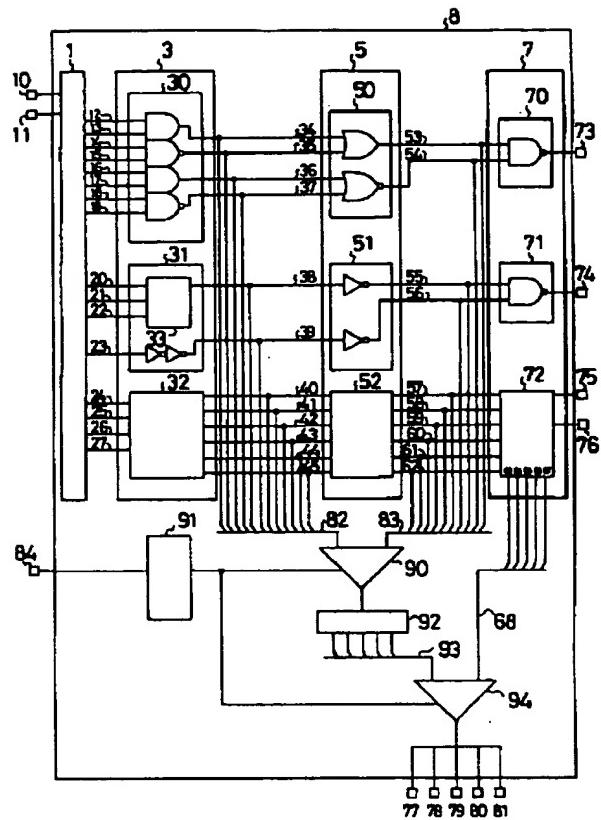
のテスト容易化回路の平面図である。

【図2】従来のマイクロコンピュータのテスト容易化回路の平面図である。

【符号の説明】

- | | |
|-------|----------------|
| 1 | 第1の論理回路ブロック |
| 3 | 第2の論理回路ブロック |
| 5 | 第3の論理回路ブロック |
| 7 | 第4の論理回路ブロック |
| 8 | マイクロコンピュータ |
| 10 | 10 第1の外部入力端子 |
| 11 | 11 第2の外部入力端子 |
| 12～27 | 信号線 |
| 30 | 30 第1の論理回路 |
| 31 | 31 第2の論理回路 |
| 32 | 32 第3の論理回路 |
| 33 | 33 部分回路 |
| 34～45 | 34～45 信号線 |
| 50 | 50 第1の論理回路 |
| 51 | 51 第2の論理回路 |
| 20 | 52 第3の論理回路 |
| 53～62 | 53～62 信号線 |
| 68 | 68 第2の内部バス |
| 70 | 70 第1の論理回路 |
| 71 | 71 第2の論理回路 |
| 72 | 72 第3の論理回路 |
| 77～81 | 77～81 外部出力端子 |
| 82 | 82 第1の内部バス |
| 83 | 83 第3の内部バス |
| 84 | 84 第3の外部入力端子 |
| 30 | 90 第1の選択器(選択器) |
| 91 | 91 選択制御器 |
| 92 | 92 符号器 |
| 93 | 93 第4の内部バス |
| 94 | 94 第2の選択器 |

【図1】



【図2】

